

**MOS structured semiconductor device - sets gate insulation film nitrogen atom density at below 1 atom per cent to resist reduction of driving force and mutual conductance**

**Patent Assignee:** TOSHIBA KK

### Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
JP 5218405	A	19930827	JP 92140399	A	19920601	199339	B

**Priority Applications (Number Kind Date):** JP 91323488 A ( 19911207)

### Patent Details

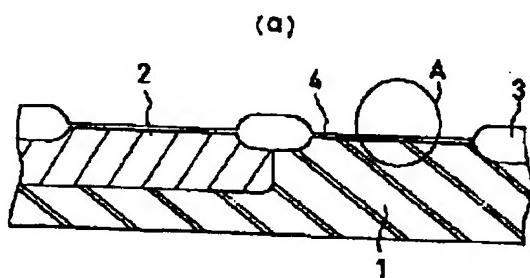
Patent	Kind	Language	Page	Main IPC	Filing Notes
JP 5218405	A		20	H01L-029/784	

### Abstract:

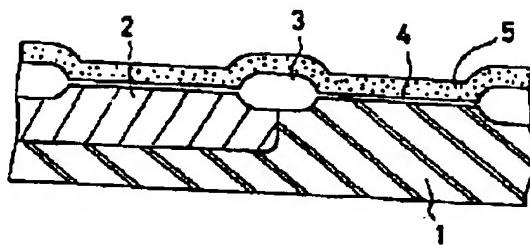
JP 5218405 A

Dwg.1-3/48

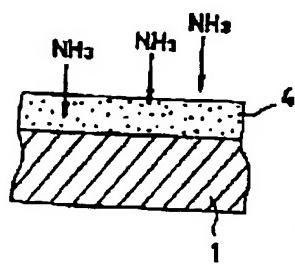
【図 1】



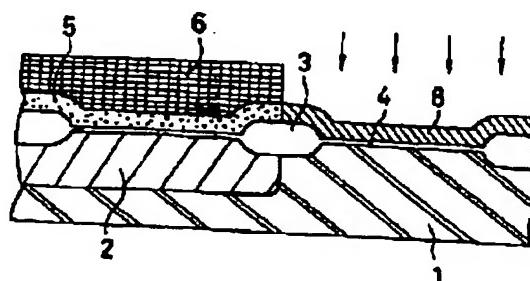
【図 2】



(b)



【図 3】



Derwent World Patents Index

© 2004 Derwent Information Ltd. All rights reserved.  
Dialog® File Number 351 Accession Number 9613501

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218405

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.<sup>5</sup>  
H 01 L 29/784

識別記号  
7377-4M

F I

H 01 L 29/ 78

技術表示箇所

301 G

審査請求 未請求 請求項の数24(全 20 頁)

(21)出願番号 特願平4-140399

(71)出願人 000003078

(22)出願日 平成4年(1992)6月1日

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(31)優先権主張番号 特願平3-323488

(72)発明者 百瀬 寿代

(32)優先日 平3(1991)12月7日

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(33)優先権主張国 日本 (JP)

(72)発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 岩井 洋

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(74)代理人 弁理士 三好 秀和 (外1名)

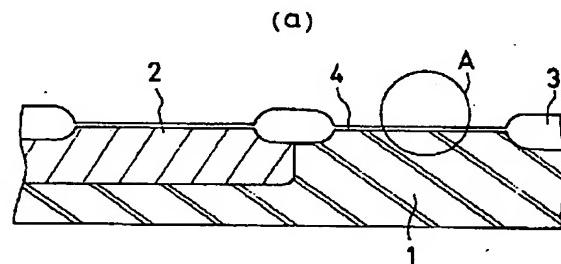
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

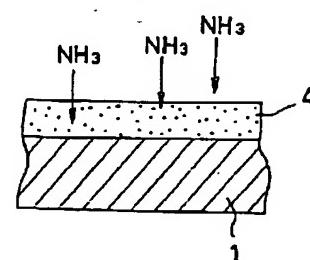
(57)【要約】

【目的】 MOS初特性及びホットキャリア信頼性を向上することを目的とする。

【構成】 ゲート絶縁膜4は窒素原子濃度が1 atom %以下シリコン酸化膜である。



(b)



1

## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記半導体基板の前記ゲート電極の両側に前記半導体基板とは逆導電型のソース／ドレイン領域を形成した半導体装置において、

前記ゲート絶縁膜は窒素原子濃度が $1 \text{ atom} \cdot \%$ 以下のシリコン酸化膜であることを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極及び前記ゲート電極の両側に形成される前記半導体基板とは逆導電型のソース／ドレイン領域を有する半導体装置の製造方法において、前記ゲート絶縁膜は $900^{\circ}\text{C}$ 以下の窒素原子を含有する雰囲気中でシリコン酸化膜を窒化して形成されることを特徴とする半導体装置の製造方法。

【請求項3】 前記ゲート絶縁膜の窒素濃度は $0.1 \sim 1 \text{ atom} \cdot \%$ であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記シリコン酸化膜の窒化は酸化膜中の窒素濃度が $0.1 \sim 1 \text{ atom} \cdot \%$ となるように行なうことを行なうことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記シリコン酸化膜の窒化は $\text{NH}_3$ ， $\text{N}_2\text{O}$ ， $\text{NF}_3$ ， $\text{N}_2$ ， $\text{NO}_2$ ， $\text{N}_2\text{O}_4$ ，又は $\text{NO}$ ガスを用いることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】 前記シリコン酸化膜の窒素は $800 \sim 900^{\circ}\text{C}$ の温度で行なわれることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】 前記シリコン酸化膜の窒素は $5 \sim 60$ 秒の処理時間で行なわれることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記ゲート絶縁膜は窒化後、再酸化したものであることを特徴とする請求項1記載の半導体装置。

【請求項9】 前記窒化したシリコン酸化膜を再酸化することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項10】 前記再酸化したゲート絶縁膜の水素濃度は $6 \times 10^{20} \text{ atom}/\text{cc}$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項11】 前記再酸化により前記窒化したシリコン酸化膜の水素濃度を $6 \times 10^{20} \text{ atom}/\text{cc}$ 以下になるようにしたことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 前記再酸化は $800 \sim 900^{\circ}\text{C}$ の温度で行なわれることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 前記ゲート電極はP型であり、この電極には不純物として $\text{B}$ ， $\text{BF}_2$ ， $\text{BCl}_2$ ，又は $\text{BBr}_2$ が含まれてなることを特徴とする請求項1記載の半導

2

体装置。

【請求項14】 前記ゲート電極の形成で $\text{B}$ ， $\text{BF}_2$ ， $\text{BCl}_2$ ，又は $\text{BBr}_2$ を導入することによりP型の電極とすることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項15】 前記不純物の導入量は $2 \times 10^{19} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であることを特徴とする請求項13記載の半導体装置。

【請求項16】 前記半導体装置でCMOSを構成したことを行なうことを特徴とする請求項1記載の半導体装置。

【請求項17】 前記ゲート絶縁膜の膜厚は $10 \text{ nm}$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項18】 前記半導体装置は基板上にゲート絶縁膜を介して形成されたフローティングゲートと、さらにその上に絶縁膜を介して形成されたコントロールゲートと、これらの積層ゲートの両側に形成されたソース／ドレイン領域とを備えた不揮発性メモリであって、前記ゲート絶縁膜又はフローティングゲート上の絶縁膜の窒素原子濃度が $1 \text{ atom} \cdot \%$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項19】 前記半導体装置はソース／ドレイン領域が隣接するもの同士で共用する形で複数個直列接続されて構成されたNANDセルがマトリクス配列され、前記NANDセルの一端側ドレイン領域がビット線に接続され、他端側のソース領域が選択MOSトランジスタを介して共通ソース線に接続され、各セルのコントロールゲートがワード線に接続されてなることを特徴とする請求項18記載の半導体装置。

【請求項20】 前記選択トランジスタのゲート絶縁膜の窒素原子濃度が $1 \text{ atom} \cdot \%$ 以下であることを特徴とする請求項19記載の半導体装置。

【請求項21】 半導体基板上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記半導体基板の前記ゲート電極の両側に前記半導体基板とは逆導電型のソース／ドレイン領域を形成する半導体装置の製造方法において、前記ゲート絶縁膜は、前記半導体基板の裏面の絶縁膜を除去し前記半導体基板の裏面を露出させた後、窒素原子を含む雰囲気中で前記半導体基板の表面を熱処理により窒化して形成することを特徴とする半導体装置の製造方法。

【請求項22】 半導体基板上に窒素原子濃度 $10 \text{ atom} \cdot \%$ 以下の窒素を含有する窒化酸化膜によりゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ゲート電極の両側に前記半導体基板とは逆導電型のソース／ドレイン領域を形成した半導体装置において、前記半導体基板が(111)シリコン基板であることを特徴とする半導体装置。

【請求項23】 チャネル方向がNMOSの場合とPMOSの場合とで $90^{\circ}$ 異なることを特徴とする請求項2記載の半導体装置。

【請求項24】 相補型半導体装置を形成することを特徴とする請求項22及び23記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS型構造の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来、この種のMOS型半導体装置では、ゲート電極不純物の基板への突き抜けを抑止しデバイスの信頼性を向上させるため、ゲート酸化膜中の窒素濃度を2%~10%と高濃度に設定した、いわゆるゲート窒化酸化膜を形成していた。

【0003】かかるゲート窒化酸化膜の形成方法を図48により説明する。先ず、シリコン半導体のウエハー401表面に、例えば膜厚700nmのフィールド絶縁膜402により素子領域403と素子分離領域404とを形成する。そして、素子領域403に熱酸化法により膜厚5nmのゲート酸化膜405を形成する。このとき、ウエハー401裏面には通常一面に厚いフィールド絶縁膜406が形成されている。このウエハー401を石英チューブ407に入れ、アンモニアガスを流しつつ、ハロゲンランプ409等を用いて、例えば摂氏1000度で1分間の高温短時間の加熱によりゲート酸化膜405を窒化しゲート窒化酸化膜を形成していた。

【0004】

【発明が解決しようとする課題】 然し乍ら、上述した従来のMOS型半導体装置においては、例えばMOSFETの場合、ゲート酸化膜の窒素濃度が2~10%と高いため、駆動力が低下すると共に、相互コンダクタンスGmが低下するという問題点があった。

【0005】また、ウエハー401裏面に熱伝導率が低い厚膜のフィールド絶縁膜406が存在するため、加熱時におけるウエハー401表面の温度制御性が悪くなりウエハー401表面の温度を所定の温度に設定できず、所定の窒素濃度が得られないと共に、ウエハー401表面の温度分布が不均一になり窒素濃度が不均一になるという問題点があった。

【0006】本発明の目的は、上述の問題点に鑑み、MOS初特性及びホットキャリア信頼性が向上でき、ゲート窒化酸化膜の窒素濃度の制御性が向上できる半導体装置及びその製造方法を提供するものである。

【0007】

【課題を解決するための手段】 本発明は上述した目的を達成するため、半導体基板上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記半導体基板の前記ゲート電極の両側に前記半導体基板とは逆導電型のソース／ドレイン領域を形成した半導体装置において、前記ゲート絶縁膜は窒素原子濃度が1atom-%以下のシリコン酸化膜であり、前記ゲート絶縁膜は900°C以下の窒素原子を含有する雰囲気中でシリコン酸化膜

を窒化して形成されるものである。

【0008】また、前記ゲート絶縁膜は、前記半導体基板の裏面の絶縁膜を全部除去するか、或いは10nm以下の絶縁膜を残したまま、窒素原子を含む雰囲気中で前記半導体基板の表面をランプによる恒温短時間の熱処理により窒化して形成するものである。

【0009】このとき、半導体基板の表面はシリコン酸化膜、シリコン酸化窒化膜またはシリコン窒化膜であり、窒素原子を含む雰囲気はN<sub>2</sub>O、NH<sub>3</sub>、NF<sub>3</sub>またはNC<sub>13</sub>である。

【0010】また、半導体基板上に窒素原子濃度10atom%以下の窒素を含有する窒化酸化膜によりゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ゲート電極の両側に前記半導体基板とは逆導電型のソース／ドレイン領域を形成した半導体装置において、前記半導体基板が(111)シリコン基板であり、チャネル方向がNMOSの場合とPMOSの場合とで90°異なるものであり、相補型半導体装置を形成するものである。

【0011】さらに、前記窒化酸化膜は、シリコン酸化膜をNH<sub>3</sub>、N<sub>2</sub>O、NF<sub>3</sub>、N<sub>2</sub>、NO<sub>2</sub>、N<sub>2</sub>O<sub>2</sub>またはNOガスを用いて形成するものである。

【0012】さらにまた、前記窒化酸化膜は、シリコン基板を直接NH<sub>3</sub>、N<sub>2</sub>O、NF<sub>3</sub>、N<sub>2</sub>、NO<sub>2</sub>、N<sub>2</sub>O<sub>2</sub>またはNOガスを用いて形成するものである。

【0013】また、前記半導体基板が(110)(311)(511)(811)シリコン基板である。

【0014】

【作用】 本発明においては、900°C以下の窒素を含有する雰囲気においてシリコン酸化膜を窒化して得られるゲート絶縁膜の窒素原子濃度を1atom-%以下に設定したので、駆動力の低下及び相互コンダクタンスGmの低下が抑制される。

【0015】また、半導体基板の裏面に熱伝導率の悪い絶縁膜が存在しないので、基板表面の温度制御性が良くなる。よって、所定の窒素濃度が得られ、基板表面の温度分布が均一になり、均一な窒素濃度が容易に実現される。

【0016】さらに、半導体基板を(111)面にすることにより、窒化酸化膜MOSFETのGm(相互コンダクタンス)は酸化膜MOSFETに比べ低電界側で最大値の減少が抑えられ、かつ高電界側のGm向上が保たれる。

【0017】また、NMOSの場合はチャネル方向を90°(オリフラに平行)にすることにより、さらにGmが向上する。

【0018】また、PMOSの場合はチャネル方向を0°(オリフラと垂直)にすることにより、さらにGmが向上する。

【0019】

【実施例】本発明の半導体装置及びその製造方法に係わる実施例を図1～図47に基づいて説明する。

【0020】以下、MOSFETの製造方法を述べる。

【0021】先ず、N型単結晶シリコン基板1の表面にp-well領域2及び素子分離領域3を形成後、HCl希釈酸化によりシリコン基板1上にシリコン酸化膜を、例えば50オングストローム形成後、さらにアンモニア（またはN<sub>2</sub>O, N<sub>2</sub>, NF<sub>3</sub>, NO<sub>2</sub>, N<sub>2</sub>O<sub>4</sub>, NOガス）雰囲気中でのランプ加熱（RTN: Rapid Thermal Nitridation）を、例えば900℃で10秒間行ない、且つ同温、同時間の酸素雰囲気中での再酸化（RTO: Rapid Thermal Oxidation）を行なうことにより、シリコン基板1との界面より10オングストロームの範囲における窒素原子の濃度（原子濃度）が平均で1atom·%以内の範囲にあるゲート絶縁膜4を形成する（図1(a)）。尚、図1(b)は図1(a)のA部分の拡大図である。また、上記ゲート絶縁膜4は、シリコン酸化膜を形成したのち、アンモニア（またはN<sub>2</sub>O, N<sub>2</sub>, NF<sub>3</sub>ガス雰囲気中でのランプ加熱を行なうことにより、シリコン基板1との界面より10オングストロームの範囲における窒素原子の濃度（原子濃度）が平均で1atom·%範囲内にあるものを形成しても良い。

【0022】その後、前記ゲート絶縁膜4に密着してLPCVD法により、多結晶シリコン膜5を約4000オングストローム堆積する（図2）。

【0023】更に、レジストのマスク6を形成し、PMOS領域にB（ボロン）もしくはBF<sub>2</sub>を、例えば2×10E15cm<sup>-2</sup>イオン注入しP<sup>+</sup>型多結晶シリコン膜8

とする（図3）。

【0024】その後、再び、レジストのマスク6を形成しNMOS領域にP（リン）もしくはAs（ヒソ）を、例えば2×10E15cm<sup>-2</sup>イオン注入しN<sup>+</sup>型多結晶シリコン膜10を形成する（図4）。

【0025】更に、前記多結晶シリコン膜8, 10をパターニングし、ゲート電極を形成する（図5）。

【0026】その後、例えば850℃酸素雰囲気中で前記多結晶シリコン膜8, 10上に100オングストローム程度の酸化膜11を形成する（図6）。

【0027】更に、前記ゲート電極に対してセルフアラインでPMOS, NMOSのソース／ドレイン領域にそれぞれP型不純物（B（ボロン）もしくはBF<sub>2</sub>）、N型不純物（P（リン）もしくはAs（ヒソ））を導入しその後の熱工程を経てP型及びN型拡散層13, 14をそれぞれ形成する。その後、CVD法によりシリコン酸化膜15を堆積し、所望領域にゲート電極、ソース／ドレイン部との配線引き出し口16を開孔し、A1をスペッタ法で堆積し、パターニングしてA1配線17とし、表面をパシベーション膜18で覆い、CMOSが完成する（図7）。

【0028】図8及び図9はゲート絶縁膜中のシリコン、酸素及び窒素の濃度プロファイル（オージェ分析及びSIMS分析結果）である。特に、図9に示す窒素濃度は次表1の条件で、O<sub>2</sub>源SIMS分析により評価した。

【0029】

【表1】

	SIMS CONDITION
1次イオン種	O <sub>2</sub> <sup>+</sup>
1次加速電圧	2kV
1次イオン電流	28nA
スペッタレート	0.018nm/sec
5nm酸化膜中の測定点数	140POINTS

このとき、上表1のサンプルはすべて5mmの酸化膜を窒化、再酸化して得られた膜である。尚、イオン強度から原子濃度への変換については、SIMS分析に比べ定量性の良いオージェ分析で同一サンプルを評価して得られた結果（4.4%，図8参照）を基に算出した。また、

オージェ分析はSiO<sub>2</sub>およびSi<sub>3</sub>N<sub>4</sub>試料の測定で決定された相対感度係数を用いている。そして、次表2のように、低濃度サンプルの濃度が求められた。

【0030】

【表2】

		Tox(C-V)	N濃度
"PO"	SiO <sub>2</sub> 5nm	5.1 nm	0 atom%
"NO"	RTN, RTO		
	SiO <sub>2</sub>   800°C 10sec	5.2	0.13
	5nm   850°C 10sec	5.2	0.24
	↓   900°C 5sec	5.2	0.54
	RTN   900°C 20sec	5.1	1.7
	↓   900°C 60sec	5.1	3.0
	RTO   1000°C 60sec	5.1	4.4

上表2によれば、窒素濃度0.1~1%の低濃度なゲート絶縁膜が自在に形成できる。また、このときの水素濃度は、図31の深さ方向に対する水素濃度を示すSIMSの測定結果から判るように、 $6 \times 10^{20}$ atom/cc以下(図31)の範囲に存在する。尚、図31は表2の条件で作成したときの膜中の水素濃度、図32は、再酸化なしでシリコン酸化膜と同じ条件で窒化したときの膜中の水素濃度を示す。

【0031】また、ゲート絶縁膜は、酸化膜形成後、アンモニア(またはN<sub>2</sub>O, N<sub>2</sub>, NF<sub>3</sub>, NO<sub>2</sub>, N<sub>2</sub>O<sub>4</sub>, NO)雰囲気中のランプ加熱を行なうことにより形成しても良い。また、酸化膜形成後、アンモニア(またはN<sub>2</sub>O, N<sub>2</sub>, NF<sub>3</sub>, NO<sub>2</sub>, N<sub>2</sub>O<sub>4</sub>, NO)雰囲気中の炉アニールにより形成しても良い。さらにN<sub>2</sub>O雰囲気中の酸化、窒化により形成しても良く、酸化膜形成後のアンモニア(またはN<sub>2</sub>O, N<sub>2</sub>, NF<sub>3</sub>, NO<sub>2</sub>, N<sub>2</sub>O<sub>4</sub>, NO)雰囲気中の炉窒化及び、酸素雰囲気中の炉再酸化により形成しても良い。このとき、ガスの反応性により、窒化速度が異なるため、窒化ガスに応じて温度、処理時間を設定する。結果として、表2と同等の窒素濃度を得られる条件にすることにより、同等の効果(デバイス特性、信頼性)が得られる。再酸化の条件は、ゲート絶縁膜厚が急増しない条件に適宜設定する。

【0032】尚、窒化は処理時間を考慮して実用的には800~900°Cが望ましく、窒化時間は5~60秒のRTNが良い。しかして、所望により700°Cにて行うことも可能である。また、他の実施例としてプラズマ窒化による処理でも良い。

【0033】また、実施例では再酸化をRTNと同じ温度、同じ時間のRTOで行ったが、上記窒化と同様、700°C以上、例えば800~900°Cで行うことができる。

【0034】しきい値電圧の窒素濃度依存性を図10に示す。窒素濃度が高い程、NMOS, PMOSとともに、正の固定電荷を多く有する方向にしきい値がシフトする

が、窒素濃度が3%を越えると急激に変動することが判った。

【0035】また、界面準位密度の窒素濃度依存性を図11に示す。これによれば、窒素濃度が2%以上のとき界面準位密度が急激に増大しているのが判る。

【0036】図12乃至図15にGmの特性を示す。図12及び図13に示すように、窒素濃度4.4%ではGmのピークが急激に劣化するが、窒素濃度0.54%では劣化が小さく、NMOSの高電界側では酸化膜に比べて優れた特性を示す。逆に0.1%未満では、高電界側でのGmの向上は望めない。また、図14及び図15に示すように、NMOSでは窒素濃度3%以上のとき、低ゲート電界のGmが急激に劣化する。また、PMOSでは高電界程劣化が顕著であるが、%MVcm<sup>-2</sup>の条件では2%を越えると急激に特性が劣化する。

【0037】次に、図16乃至図19は駆動力の窒素濃度依存性を示す。同図によれば、NMOSの低ゲート電界及びPMOSでの駆動力の低かは窒素濃度4.4%の場合、低ゲート電界において顕著であるが、窒素濃度0.54%ではNMOSは駆動力が全ゲート電界の領域で向上し、PMOSの駆動力劣化も問題にならないレベルとなる。

【0038】また、図20乃至図23に示すように、NMOSでは、窒素濃度1%以上、PMOSでは、窒素濃度2%以上で駆動力が顕著に低下することが判る。

【0039】図24乃至図27はホットキャリア劣化の窒素濃度依存性を示す。NMOSにおいて、窒素濃度1%以上のとき、チャネルホットキャリアストレス(V<sub>D</sub>=V<sub>G</sub>=3.5V)によるしきい値の変動が大きい。また、窒素濃度が低い場合はドレインアバランチシェホットキャリアストレス(V<sub>G</sub>=subMAXの条件)によるしきい値の変動及び界面準位の発生が大きい。また、窒素濃度0.1%未満では、界面準位の発生が多く、劣化が大きい。また、PMOSは窒素濃度1%以上のとき、しきい値が大きく変動し特性の劣化が大きくなる。

【0040】図28及び図29にI-V特性及びGmの

変動を示す。窒素濃度0.54%のとき、トランジスタ特性の変動が抑えられるのが判る。ホットキャリアによる界面準位の発生や、モビリティには界面の状態が強く反映される。

【0041】図30はPMOSのしきい値電圧とゲート電極中のボロン濃度の相関図である。同図において、窒素濃度4.4%の条件ならば、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でも突き抜けは生じない。ゲート絶縁膜中の窒素濃度が高いほど、突き抜けるボロンは少なくなっており、突き抜けの現象はゲート絶縁膜中の窒素濃度に大きく依存することが判る。 $T_{ox}$ が5mm、ゲートドーピングBF<sub>2</sub> 1E $15 \text{ cm}^{-2}$ の条件ならば、窒化膜でも突き抜けは生じないが、窒化酸化膜にすることでゲート電極の低抵抗化に対しマージンができる。このとき、ゲートポリシンコン電極の不純物濃度は $2 \sim 5 \times 10^{19} \text{ cm}^{-3}$ が望ましい。5

$\times 10^{19} \text{ cm}^{-3}$ より濃度が高い場合は上述のように、ボロンの突き抜け抑止に対するマージンが少なくなる。

【0042】一方、 $2 \times 10^{19} \text{ cm}^{-3}$ より濃度が低い場合は、ゲート電圧印加時にゲート電極のゲート絶縁膜側に空乏層が形成される。この空乏層の容量がゲート絶縁膜の容量に直列に結合されることになる結果、実効的にゲート絶縁膜容量が減少し、MOSFETのドレイン電流が減少し、好ましくない。

【0043】従って、次表3に示すように、初特性、ホットキャリア信頼性及びゲート特性を考慮すると、ゲート絶縁膜中の窒素濃度を0.1~1%にするのが良いことが判る。

【0044】

【表3】

		"PO"	LIGHT	"NO"		HEAVY					
NITROGEN CONC.(atom%)			0	0.1	0.2	0.5	1	2	5	10	
V <sub>TH</sub>		BETTER		WORSE							
N <sub>IT</sub>											
初特性	G <sub>m</sub>	NMOS		HIGH VG							
		LOW VG									
		PMOS									
	I <sub>D</sub>	NMOS		HIGH VG							
		LOW VG									
		PMOS									
ホットキャリア信頼性	NMOS	DAHC									
		CHC									
	PMOS	DAHC									
		CHC									
ボロンの突き抜け抑制効果		$1 \times 10^{15} \text{ cm}^{-2}$									
$3 \times 10^{15} \text{ cm}^{-2}$											
NITROGEN CONC.(atom%)		0	0.1	0.2	0.5	1	2	5	10		
TOTAL				WORSE		OPTIMUM					

尚、ホットキャリア劣化等は、電界が高くなる $T_{ox}=100$ オングストローム以下で顕著になる。したがってホットキャリア向上等を目的とした窒化酸化膜の使用は $T_{ox}=100$ オングストローム以下で特に望ましい。

【0045】斯くして、ゲート絶縁膜中の窒素濃度を1%以下にすることにより、高性能及び高信頼性のMOSFETが得られる。

【0046】好ましくは0.1~1 atom-%とするのが良い。窒素濃度の深さ方向分布は、基板界面付近が若干

高濃度の傾向にあり、以上の値はこの部分の値であるが、界面付近がデバイスの挙動上も重要であり、シリコン基板との界面より10オングストロームの範囲における平均が1 atom-%以下ないしは0.1~1 atom-%以下であればよく、本発明はこれを含むものである。

【0047】また、ゲート電極はポリシリコンの他、Si-Ge、或いはW, Mo, Ti, Ni, Co等の金属やそのシリサイドでもよい。

【0048】尚、本発明は図33及び図34に示すよう

に、基板100上にフローティングゲート102及びコントロールゲート103を有し、基板100の表面部に拡散層104を有するEEPROMにおけるコントロールゲート103の絶縁膜105及びE<sup>2</sup>PROMのゲート絶縁膜101に適用される。

【0049】ここで、本発明の他の実施例としてNAND型EEPROMに適用したものを図面を参照して説明する。図35はそれを示す平面図であり、図36(a) (b)はそのA-A'、B-B'断面図である。また図37はNANDセルの等価回路である。この実施例では、4個のメモリセルM<sub>1</sub>～M<sub>4</sub>と2個の選択MOSトランジスタS<sub>1</sub> < S<sub>2</sub>を、そのソース、ドレイン拡散層を共用する形で直列接続してMANDセルを構成している。この様なNANDセルがマトリックス配列されてメモリアレイが構成される。NANDセルのドレインは選択トランジスタS<sub>1</sub>を介してビット線BLに接続される。又NANDセルのソースは選択トランジスタS<sub>2</sub>を介して接地線に接続される。各メモリセルの制御ゲートCG<sub>1</sub>～CG<sub>4</sub>はビット線BLと交差するワード線WLに接続される。この実施例は4個のメモリセルで1つのNANDセルを構成しているが、一般に2のn乗(n=1, 2, ...)個のメモリセルで1つのNANDセルを構成できる。

【0050】具体的なセル構造を図36により説明する。N型シリコン基板301上にP-ウェル301'を設ける。このP-ウェル301'上にメモリセルを形成し、周辺回路はメモリセルと別のP-ウェル上に設ける。NANDセルは、P-ウェル301'上の素子分離絶縁膜302で囲まれた一つの領域に、この実施例では4個のメモリセルとそれをはさむ2つの選択トランジスタが形成されている。各メモリセルは、P-ウェル301'上に50～200オングストロームの前記実施例と同様にして形成された1atom・%以下の窒素原子を含んだシリコン酸化膜からなる第1ゲート絶縁膜303<sub>1</sub>を介して、500～4000オングストロームの第1層多結晶シリコン膜により浮遊ゲート304(304<sub>1</sub>, 304<sub>2</sub>, 304<sub>3</sub>, 304<sub>4</sub>)が形成され、この上に150～400オングストロームの1atom・%以下の窒素を含んだシリコン酸化膜からなる第3ゲート絶縁膜5を介して、1000～4000オングストロームの第2層多結晶シリコン膜により制御ゲート306(306<sub>1</sub>, 306<sub>2</sub>, 306<sub>3</sub>, 306<sub>4</sub>)が形成されている。制御ゲート306は一方向に連続的に配設されてワード線WLとなる。各メモリセルのソース、ドレイン拡散層となるn型層309は隣接するもの同士で共用する形で、4個のメモリセルが直列接続されている。NANDセルの一端のドレインは、ゲート電極304<sub>5</sub>により構成される選択MOSトランジスタを介してビット線308に接続され、他端のソースはゲート電極304<sub>6</sub>により構成されるもう一つの選択トランジスタを介して接地線3

10に接続されている。

【0051】2つの選択トランジスタは、P-ウェル301'上に250～400オングストロームの前記メモリセルのゲート絶縁膜と同様の窒素を含んだシリコン酸化膜からなる第2ゲート絶縁膜303<sub>2</sub>を介して、第1層多結晶シリコン膜により選択ゲート304(304<sub>5</sub>, 304<sub>6</sub>)が形成される。

【0052】この上に第3ゲート絶縁膜305を介して、選択ゲート(304<sub>5</sub>, 304<sub>6</sub>)上に第2層多結晶シリコンより成る配線306(306<sub>5</sub>, 306<sub>6</sub>)が形成される。ここで選択ゲート(304<sub>5</sub>, 304<sub>6</sub>)と配線(306<sub>5</sub>, 306<sub>6</sub>)とは所定間隔のスルーホールで接続され、低抵抗化される。

【0053】ここで各メモリセルの浮遊ゲート(304<sub>1</sub>～304<sub>4</sub>)と制御ゲート(306<sub>1</sub>～306<sub>4</sub>)と選択ゲート(304<sub>5</sub>, 304<sub>6</sub>)と選択ゲート上の低抵抗用配線(306<sub>5</sub>, 306<sub>6</sub>)はそれぞれ、チャネル長方向については同一エッチング・マスクを用いて同時にパターニングしてエッチを揃えている。

【0054】ここでこの実施例では、このパターニング直後に窒素原子を含有する雰囲気で熱処理し、ゲートエッジ部での第1ゲート絶縁膜を部分的に窒素を含んだシリコン酸化膜にする。ソース、ドレイン拡散層となるn型層309は、これらの制御ゲート(306<sub>1</sub>～306<sub>4</sub>)および選択ゲート上の多結晶配線(306<sub>5</sub>, 306<sub>6</sub>)をマスクとして、ヒ素又は磷のイオン注入にて形成される。この実施例では窒素原子を含んだシリコン酸化膜はメモリセル及び選択トランジスタのゲート絶縁膜と浮遊ゲート絶縁膜を用いたが、それらのいずれかで用いることができる。

【0055】この様な構成において、各メモリセルでの浮遊ゲート304と基板301間の結合容量C<sub>1</sub>は、浮遊ゲート304と制御ゲート306間の結合容量C<sub>2</sub>に比べて小さく設定されている。これを具体的なセル・パラメータ例を上げて説明すれば、パターン寸法は図35に記入したように、1μmルールに従って、浮遊ゲートおよび制御ゲートともに幅が1μm、チャネル幅が1μmであり、また浮遊ゲート304はフィールド領域上に両側1μmずつ延在させている。また、第1ゲート絶縁膜303は例えば200オングストロームの熱酸化膜、第2ゲート絶縁膜305は350オングストロームの熱酸化膜である。熱酸化膜の誘電率をεとすると、

$$C_1 = \epsilon / 0.02$$

であり、

$$C_2 = 3\epsilon / 0.035$$

である。即ち、C<sub>1</sub> < C<sub>2</sub>となっている。

【0056】この実施例のNANDセルでの書き込み消去の動作モードは、特開平1-173654号公報(出願人: 東芝)に記載のものと同様であり、詳細は省略するが、両動作モードでの代表的な電圧の与え方の例を次

表4に示す。この例は、全メモリセルを一括で消去した後、選択メモリセル $M_4$ に書き込みを行ったことを示している。

【0057】

【表4】

	一括消去	選択書き込み ( $M_4$ )	読み出し ( $M_4$ )
$B_{L_1}$	$V_{pp}$	0V	1~5V
$B_{L_2}$	$V_{pp}$	$V_{pp}/2$	0V
ソース	$V_{pp}$	0V	0V
$S_{G_1}$	0V	10V	5V
$S_{G_2}$	0V	0V	5V
$C_{G_1}$	0V	$V_{pp}/2$	5V
$C_{G_2}$	0V	$V_{pp}/2$	5V
$C_{G_3}$	0V	$V_{pp}/2$	5V
$C_{G_4}$	0V	$V_{pp}$	5V
ウェル	$V_{pp}$	0V	0V
基板	$V_{pp}$	$V_{pp} \sim 0V$	$V_{pp} \sim 0V$

次に、図38及び上表4を用いて、この実施例で重要な読み出し動作モードについて詳細に説明する。

【0058】読み出し動作は、例えば第4のセルAのデータを読み出す場合を説明すると、2つの選択トランジスタのゲート電圧 $S_{G_1}$ と $S_{G_2}$ を5Vにしトランジスタをオンとし、非選択のメモリセルの制御ゲート $C_{G_1}$ 、 $C_{G_2}$ および $C_{G_3}$ には書き込み状態にあるメモリセルがオンする程度の“H”レベル(例えば5V)電位を与え、選択メモリセルAの制御ゲート $C_{G_4}$ を

“L”レベル(例えば0V)とする。そして選択メモリセルAにつながるビット線1( $B_{L_1}$ )を“H”レベル(1~5V程度)に他のビット線は0Vに、そしてソース線は0Vにする。これによりビット線1( $B_{L_1}$ )に電流が流れるか否かにより、メモリセルAの“0”，“1”的判定ができる。

【0059】ビット線にセル電流が流れる“0”状態の場合、非選択のメモリセルと選択ゲートの転送能力がセル電流量に影響を及ぼす。本発明の実施例による1atom·%以下の窒素濃度のシリコン酸化膜を用いた場合は、図12及び図1.6、1.7から明らかのように転送能力が向上し、セル電流が大きくなり、ひいては高速読み出しが可能となる。さらに、従来から明らかになっているが、窒素を含んだシリコン酸化膜を用いることでEEPROMの書き込み消去Endurance特性、Data保持特性が向上し、信頼性も確保される。

【0060】同様に、NOR型のFlash EEPROMにおいても、1atom·%以下の窒素濃度のシリコン酸化膜を用いることで、セル電流が増え、信頼性が向上すると

いう2重の効果が得られる。

【0061】以上の実施例ではN型基板上にPウェルを設け、Pウェル上にメモリセルを形成する方式を用いたが、逆にP型基板上にNウェルを設け、周辺回路と分離して1つのNウェル上にNANDメモリセルアレイを形成しても良い。つまりメモリセルのMOSFETはPチャンネルトランジスタになっている。

【0062】この他本発明は他のEPROM、E<sup>2</sup> PROMについても同様に1atom·%以下好ましくは0.1~1atom·%の窒素濃度のシリコン酸化膜を用いることにより、セル電流の増加等による信頼性の向上が図れる。

【0063】さらに、MOSFET及びCMOSは勿論、図39及び図40に示すように、基板200上にワード線201のゲート絶縁膜及びビット線202を有するトレンチキャパシタ並びに STACKキャパシタのMOSキャパシタにも適用されることは言うまでもない。

【0064】次に、ゲート窒化酸化膜の形成方法を図4.1~図4.3により説明する。先ず、シリコン半導体のウエハー401表面に、例えば膜厚700nmのフィールド絶縁膜402により素子領域と素子分離領域とを形成する。そして、素子領域に熱酸化法により膜厚5nmのゲート酸化膜405を形成する。このとき、ウエハー401裏面には通常一面に厚いフィールド絶縁膜406が形成されている。その後、ウエハー401の表面にレジスト410を塗布する(図4.1a)。次に、ウエハー401裏面のフィールド絶縁膜406を、例えばプラズマエッティングで除去した後、ウエハー401の裏面のシリコンを露出させる(図4.1b)。次に、レジスト410を除去する(図4.1c)。その後、ウエハー401を石英チューブ407に入れ、アンモニアガスを流しつつ、ハロゲンランプ409等を用いて、例えば摄氏1000度で1分間の高温短時間の加熱により窒化を行ないゲート酸化膜405をゲート窒化酸化膜に変換する(図4.2)。

【0065】尚、上記実施例ではハロゲンランプ409による加熱を用いたが、これに限定することなく、例えばRF加熱による炉を用いてもよい。また、熱処理が高温短時間であることに必ずしも限定しなくてもよい。また、上記実施例として完全にウエハー401裏面のフィールド絶縁膜406を除去する例を示したが、10nm以下の絶縁膜であれば熱伝導率が問題とならない場合もあるので、図4.3に示すように、例えば5nmのゲート絶縁膜411を少なくとも裏面に残したまま窒化を行なってもよい。また、上記実施例ではウエハー401裏面の窒化をする対象として硅素酸化膜を用いたが、これに限定することなく、硅素、硅素酸化窒化膜、窒化膜等でもよい。また、窒化の雰囲気もNH<sub>3</sub>、NF<sub>3</sub>、NCI<sub>3</sub>等でもよい。

【0066】また、N型単結晶シリコン(111)基板

の表面に p-well 領域及び素子分離領域を形成後、HCl 希釀酸化によりシリコン基板上にシリコン酸化膜を、例えば 50 オングストローム形成後、NH<sub>3</sub>、N<sub>2</sub>O、N<sub>2</sub>、NF<sub>3</sub>、NO<sub>2</sub>、N<sub>2</sub>O<sub>2</sub> または NO ガス雰囲気でのランプ加熱 (RTN) 及び酸素雰囲気中での再酸化 (RTO) を行なう。その後、前記ゲート絶縁膜に密着して LPCVD 法にて多結晶シリコン膜を約 400 10 オングストローム堆積した後、通常の MOS 型半導体装置の製造方法に従い、半導体装置を製造する。このとき、ゲート絶縁膜はシリコン基板を N<sub>2</sub>O、NO<sub>2</sub> 及び N<sub>2</sub>O<sub>2</sub> 等により直接酸化と窒化とを同時に行なうことにより形成してもよい。

【0067】これによれば、図 4-4 及び図 4-5 に示すように、半導体基板を (111) 面にしたので、窒化酸化膜 MOSFET の Gm (相互コンダクタンス) は酸化膜 MOSFET に比べ低電界側で最大値の減少が 78.5 % から 96.2 % に抑えられ、かつ高電界側の Gm 向上が保たれる。また、チャネル方向を 90° (オリフラに平行) にすることにより、さらに Gm が向上する。

【0068】さらに、P-MOSFET の場合は、図 4-6 及び図 4-7 に示すように、低電界側での Gm の低下はピーク値で 78.6 % から 79.1 % に抑えられ、高電界側での低下の抑制も 58.7 % から 82.9 % と顕著な効果がある。

【0069】また、P-MOS の場合はチャネル方向を 0° (キリフラと垂直) にすることにより、さらに Gm が向上する。

【0070】尚、上記実施例において、半導体基板は (110) (311) (511) (811) シリコン基板でもよい。

#### 【0071】

【発明の効果】以上説明したように本発明によれば、900°C 以下の窒素を含有する雰囲気中において、シリコン酸化膜を窒化して得られるゲート絶縁膜の窒素原子濃度を 1 atom % 以下に設定したので、駆動力の低下及び相互コンダクタンス Gm の吊架が抑制される共に、ホットキャリア信頼性にも強い構造となる。従って、高性能及び高信頼性の MOS デバイスが製造できる。

【0072】また、基板裏面に熱伝導率の悪い厚いフィールド絶縁膜が存在しないので、基板表面の温度制御が良く所定の窒素濃度を得ることができると共に、基板表面の温度分布が均一になり、均一な窒素濃度が容易に実現できる。

【0073】さらに、半導体基板を (111) 面にしたので、窒化酸化膜 MOSFET の Gm (相互コンダクタンス) は酸化膜 MOSFET に比べ低電界側で最大値の減少が抑えられ、かつ高電界側の Gm 向上を保つことができる。

【0074】また、N-MOS ではチャネル方向を 90° (オリフラに平行) にすれば、さらに Gm が向上で

き、P-MOS の場合はチャネル方向を 0° (オリフラと垂直) にすることにより、さらに Gm が向上できる。

#### 【図面の簡単な説明】

【図 1】本発明装置の製造工程図である。

【図 2】本発明装置の製造工程図である。

【図 3】本発明装置の製造工程図である。

【図 4】本発明装置の製造工程図である。

【図 5】本発明装置の製造工程図である。

【図 6】本発明装置の製造工程図である。

【図 7】本発明装置の製造工程図である。

【図 8】濃度プロファイルを示す図である。

【図 9】濃度プロファイルを示す図である。

【図 10】しきい値電圧の窒素濃度依存性を示す図である。

【図 11】界面準位密度の窒素濃度依存性を示す図である。

【図 12】Gm の特性を示す図である。

【図 13】Gm の特性を示す図である。

【図 14】Gm の特性を示す図である。

【図 15】Gm の特性を示す図である。

【図 16】駆動力の窒素濃度依存性を示す図である。

【図 17】駆動力の窒素濃度依存性を示す図である。

【図 18】駆動力の窒素濃度依存性を示す図である。

【図 19】駆動力の窒素濃度依存性を示す図である。

【図 20】駆動力の窒素濃度依存性を示す図である。

【図 21】駆動力の窒素濃度依存性を示す図である。

【図 22】駆動力の窒素濃度依存性を示す図である。

【図 23】駆動力の窒素濃度依存性を示す図である。

【図 24】ホットキャリア劣化の窒素濃度依存性を示す図である。

30  
20

【図 25】ホットキャリア劣化の窒素濃度依存性を示す図である。

【図 26】ホットキャリア劣化の窒素濃度依存性を示す図である。

【図 27】ホットキャリア劣化の窒素濃度依存性を示す図である。

【図 28】ホットキャリア劣化の窒素濃度依存性を示す図である。

【図 29】ホットキャリア劣化の窒素濃度依存性を示す図である。

【図 30】PMOS のしきい値電圧とゲート電極中のボロン濃度の相関図である。

【図 31】再酸化ありの場合の水素濃度プロファイルを示す図である。

【図 32】再酸化なしの場合の水素濃度プロファイルを示す図である。

【図 33】E PROM の断面図である。

【図 34】E<sup>2</sup> PROM の断面図である。

【図 35】NAND 型 E<sup>2</sup> PROM の平面図である。

50  
30

【図 36】NAND 型 E<sup>2</sup> PROM の A-A' 断面図及

びB-B'断面図である。

【図37】NAND型E<sup>2</sup> PROMの回路図である。

【図38】NAND型E<sup>2</sup> PROMの動作説明図である。

【図39】トレンチキャパシタの断面図である。

【図40】スタックキャパシタの断面図である。

【図41】本発明のゲート窒化酸化膜の形成工程図である。

【図42】本発明のゲート窒化酸化膜の形成工程図である。

【図43】本発明の他のゲート窒化酸化膜の形成工程図である。

【図44】(100)基板に形成したN-MOSFETの相互コンダクタンスの特性図である。

【図45】(111)基板に形成したN-MOSFETの相互コンダクタンスの特性図である。

【図46】(100)基板に形成したP-MOSFETの相互コンダクタンスの特性図である。

【図47】(111)基板に形成したP-MOSFETの相互コンダクタンスの特性図である。

【図48】従来のゲート窒化酸化膜の形成方法の説明図である。

#### 【符号の説明】

1 シリコン基板

2 P型ウェル領域

3 素子分離領域

4 ゲート絶縁膜

5 多結晶シリコン膜

6 レジストのマスク

11 酸化膜

13, 14 拡散層

301 N型シリコン基板

301' P-ウェル

10 302 素子分離絶縁膜

3031 第1ゲート絶縁膜

3032 第2ゲート絶縁膜

3041~3044 浮遊ゲート

3045, 3046 選択ゲート

305 第3ゲート絶縁膜

3061~3064 制御ゲート

3065, 3066 選択ゲートの低抵抗化配線

308 ビット線

309 ソース, ドレイン拡散層

20 310 NANDセルのソース線

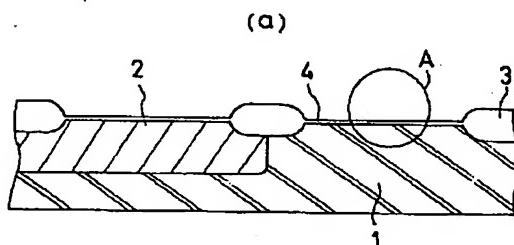
M (M<sub>1</sub>~M<sub>4</sub>) メモリセル

S (S<sub>1</sub>, S<sub>2</sub>) 選択MOSトランジスタ

SG (SG<sub>1</sub>, SG<sub>2</sub>) 選択ゲート

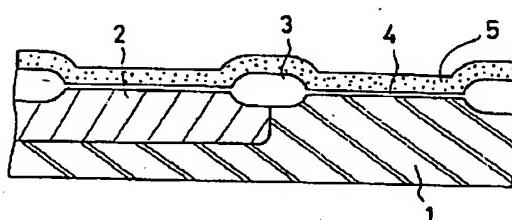
CG (CG<sub>1</sub>~CG<sub>4</sub>) 制御ゲート

【図1】

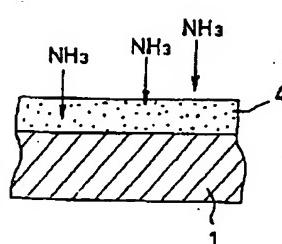


(a)

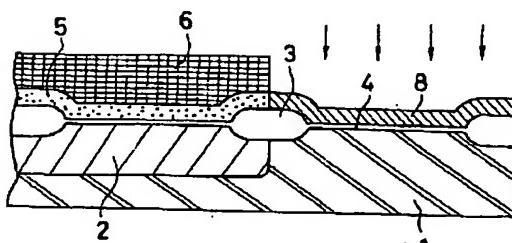
【図2】



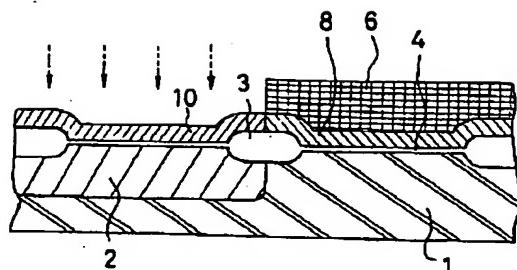
(b)



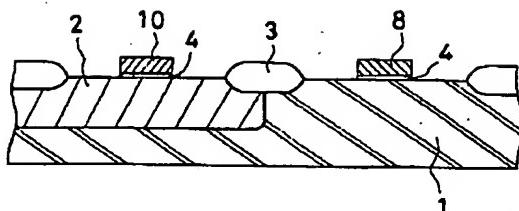
【図3】



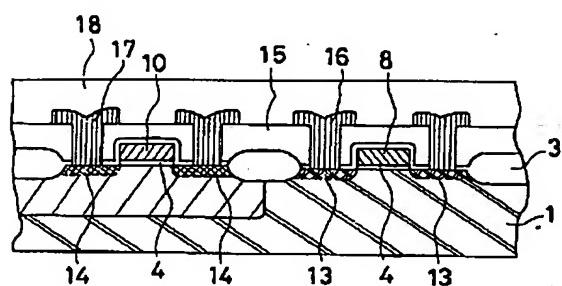
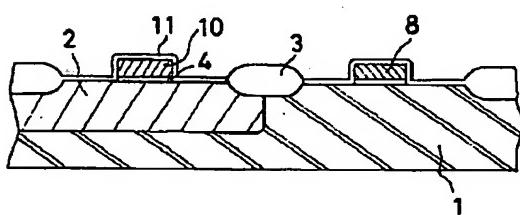
【図4】



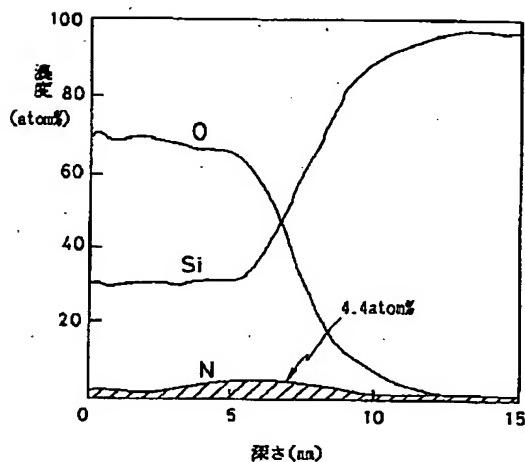
【図5】



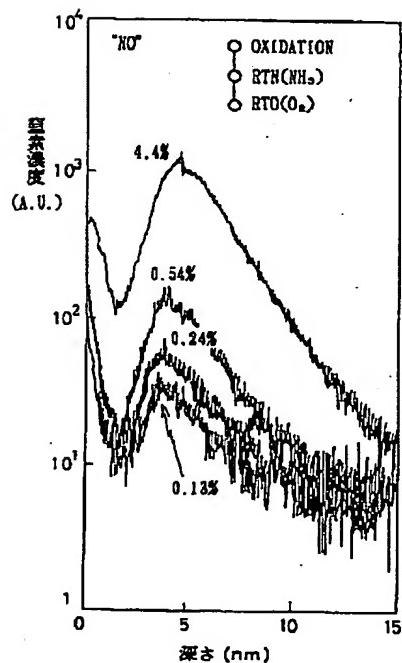
【図6】



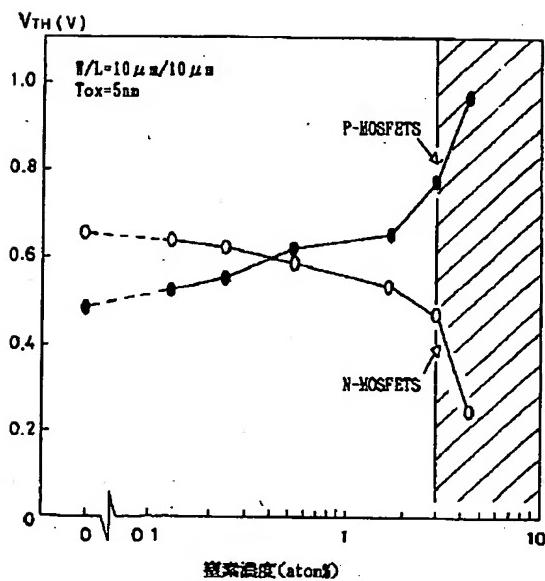
【図8】



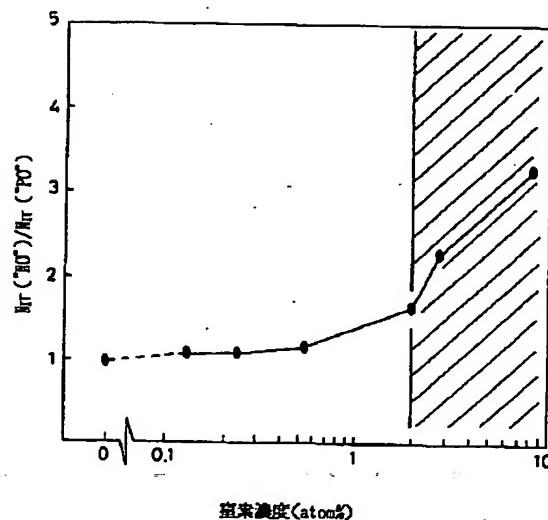
【図9】



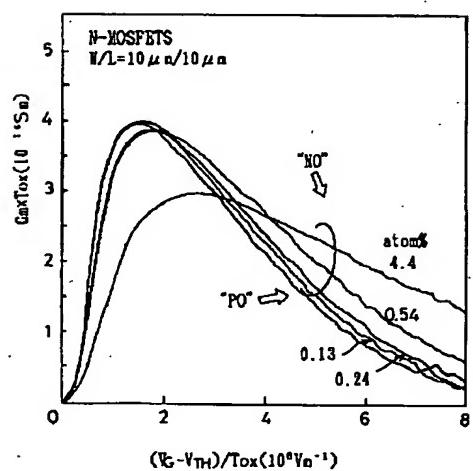
【図10】



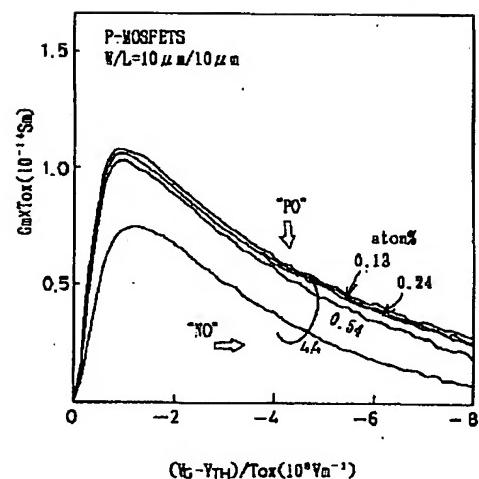
【図11】



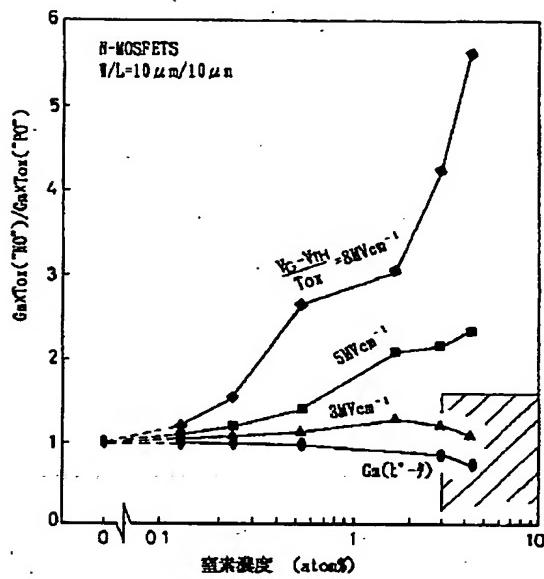
【図12】



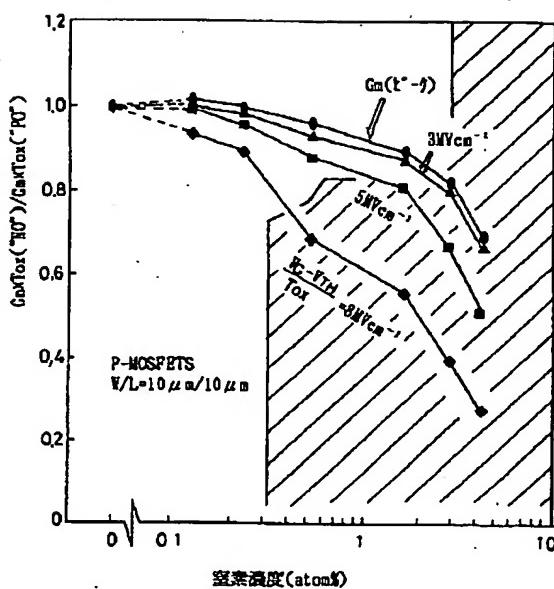
【図13】



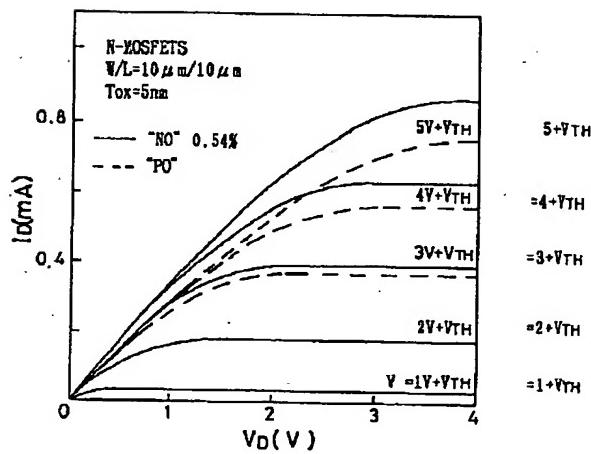
【図14】



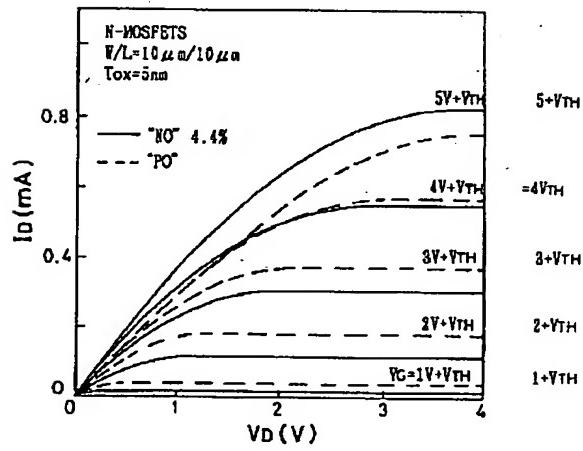
【図15】



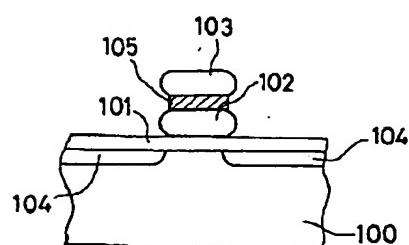
【図16】



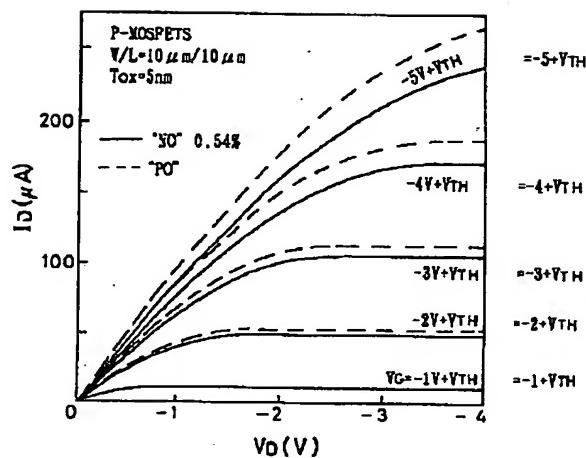
【図17】



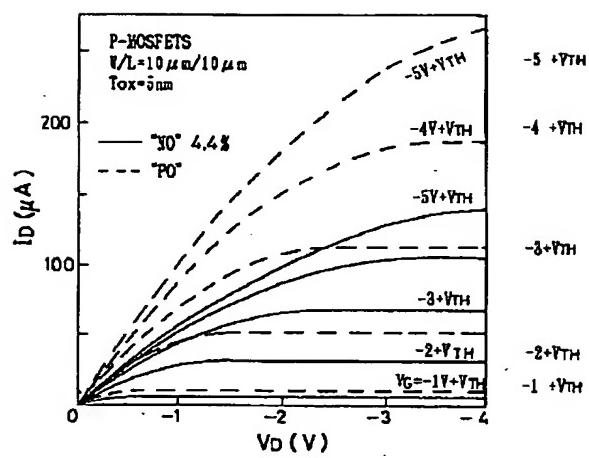
【図33】



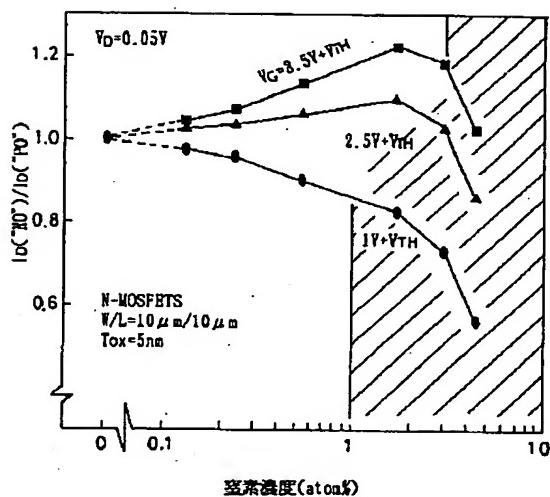
【図18】



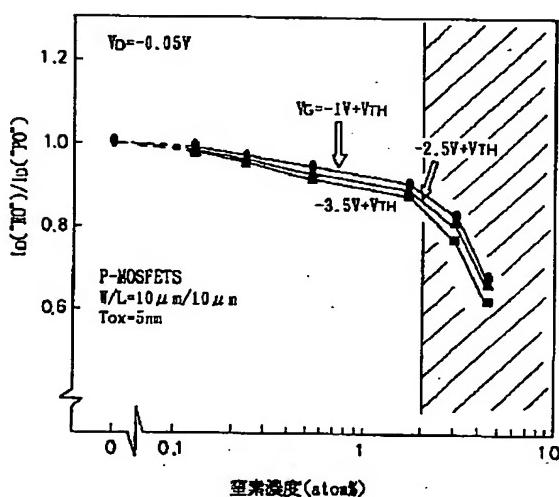
【図19】



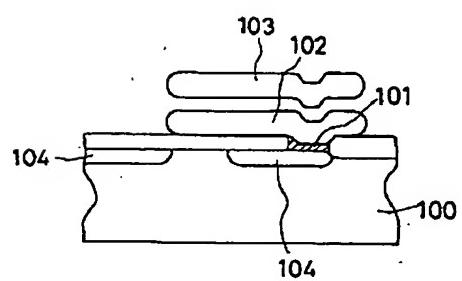
【図20】



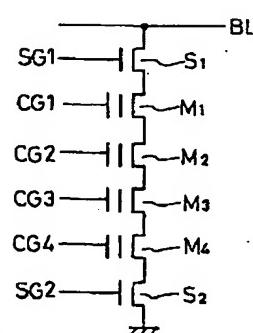
【図21】



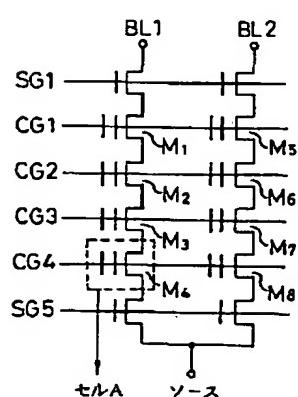
【図34】



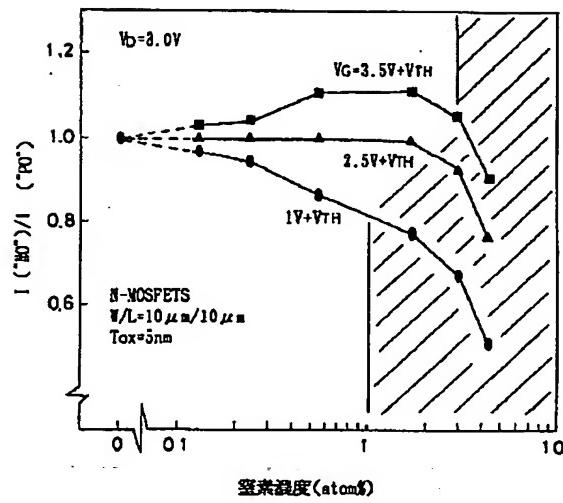
【図37】



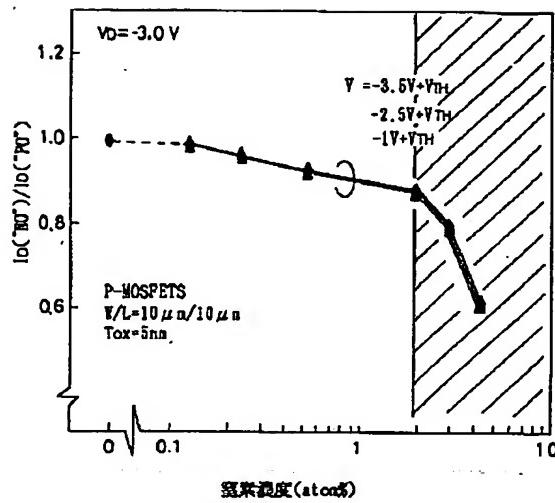
【図38】



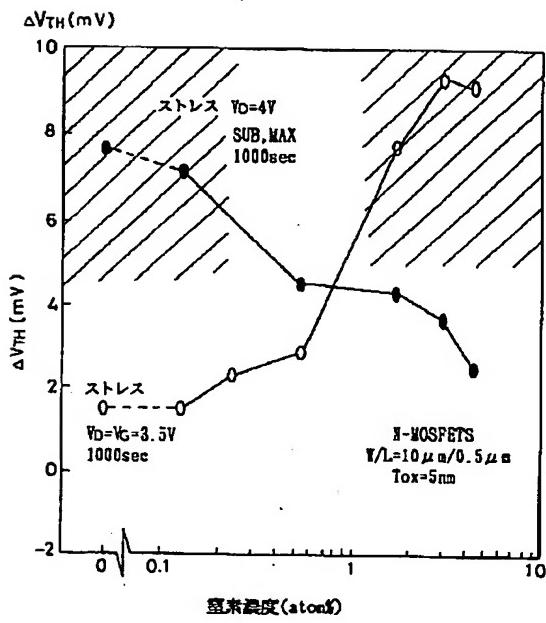
【図22】



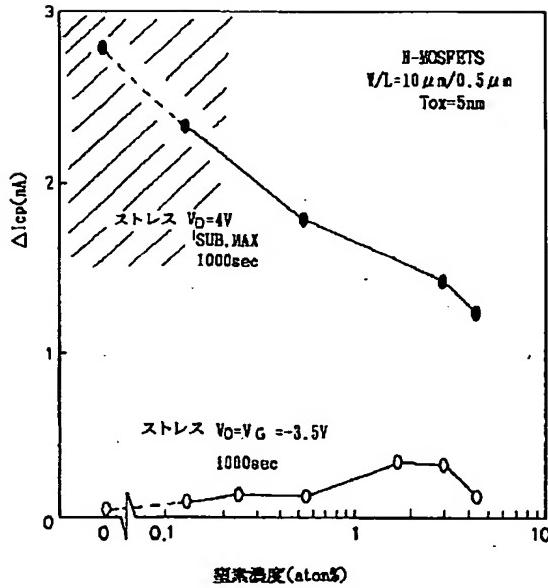
【図23】



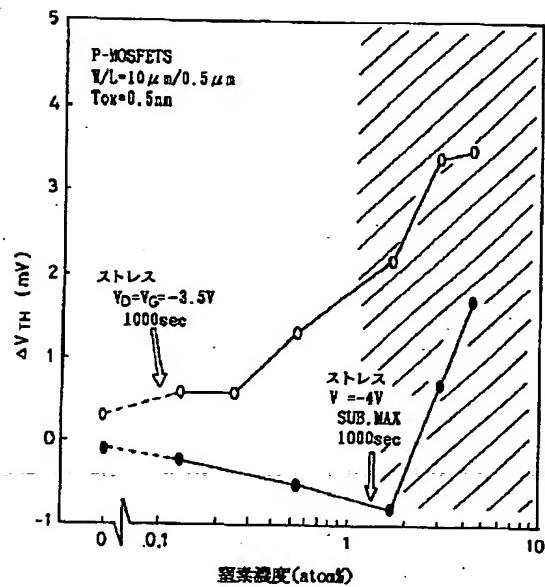
【図24】



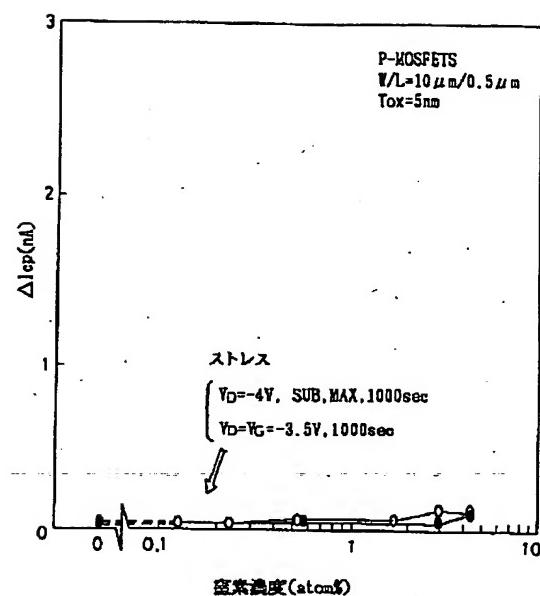
【図25】



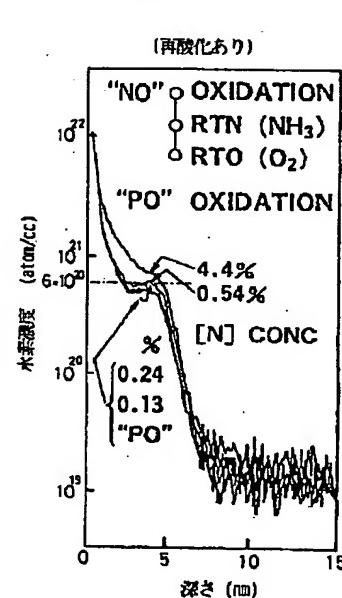
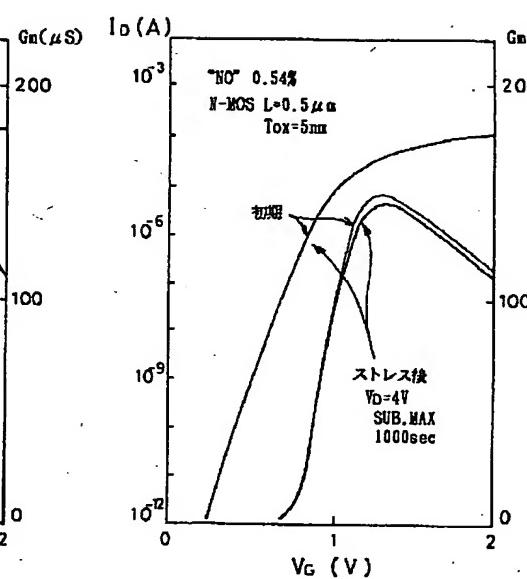
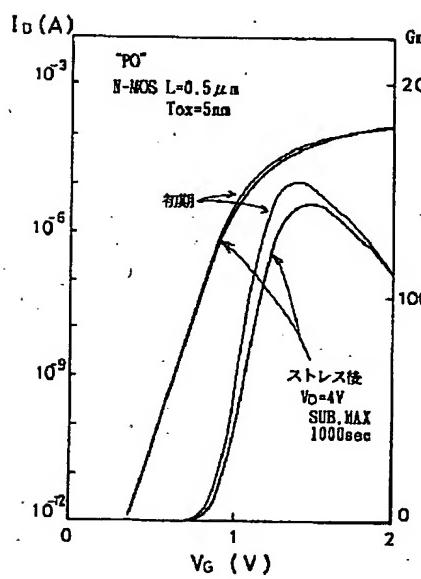
【図26】



【図27】



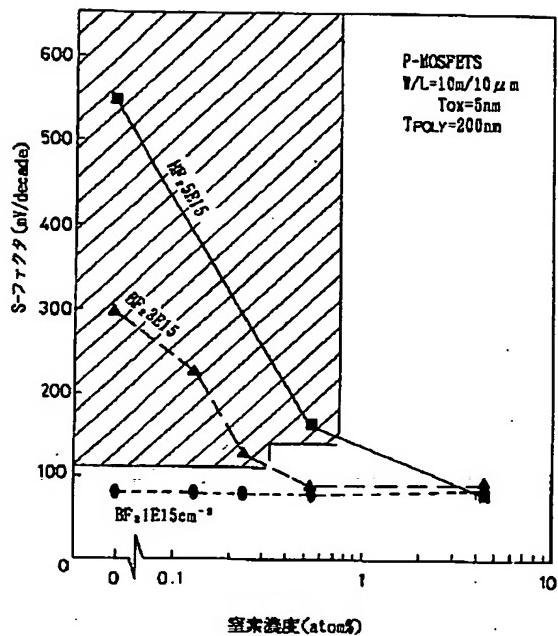
【図28】



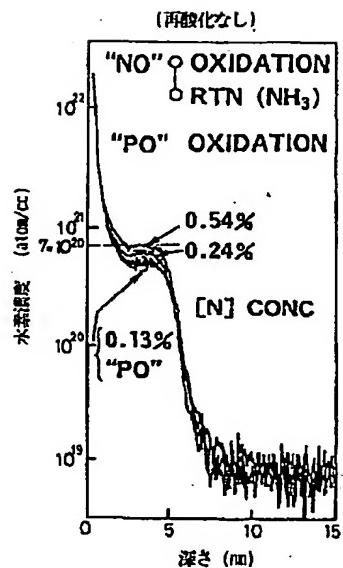
【図29】

【図31】

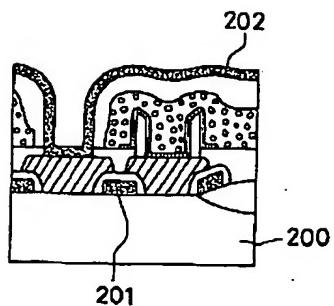
【図30】



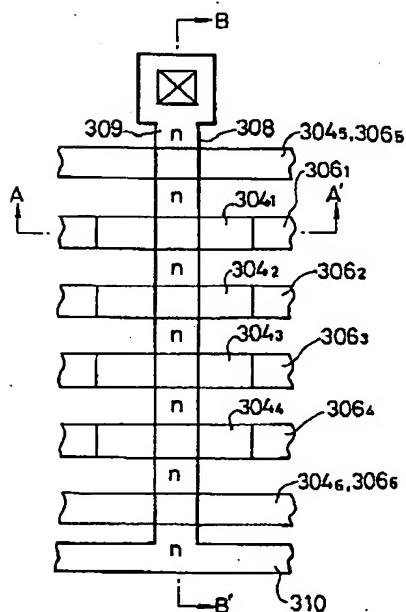
【図32】



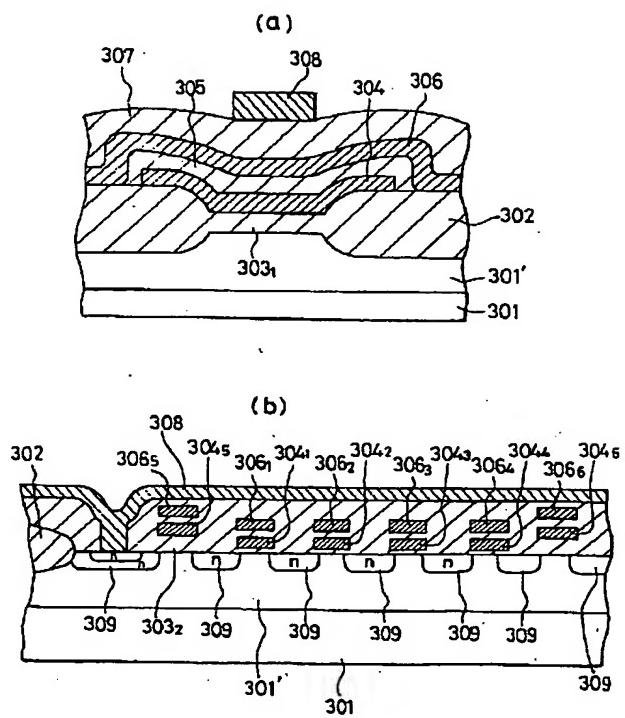
【図40】



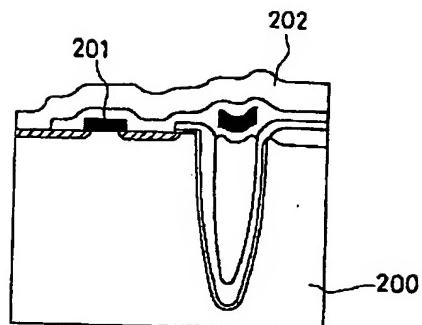
【図35】



【図36】

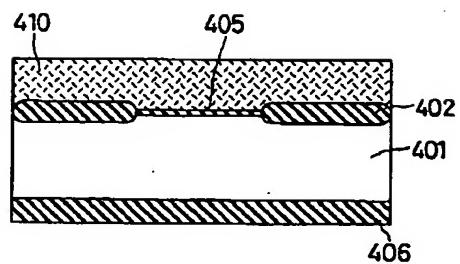


【図3.9】

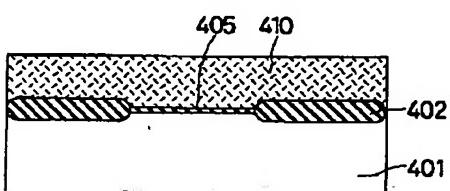


(a)

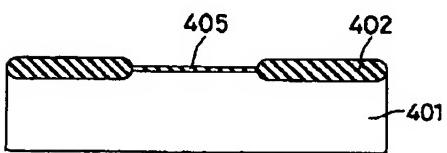
【図4.1】



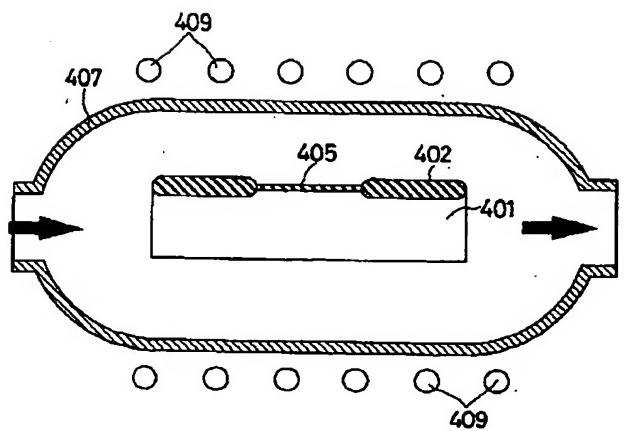
(b)



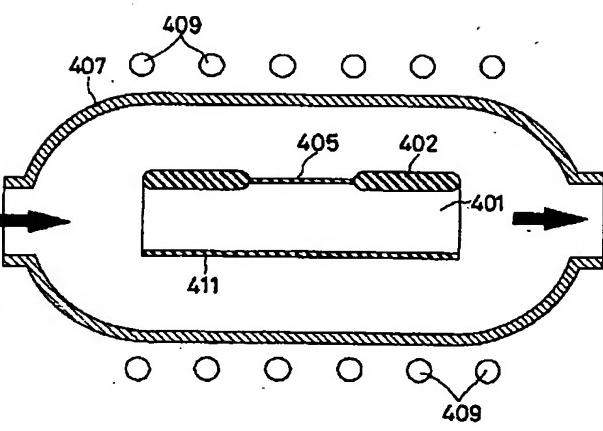
(c)



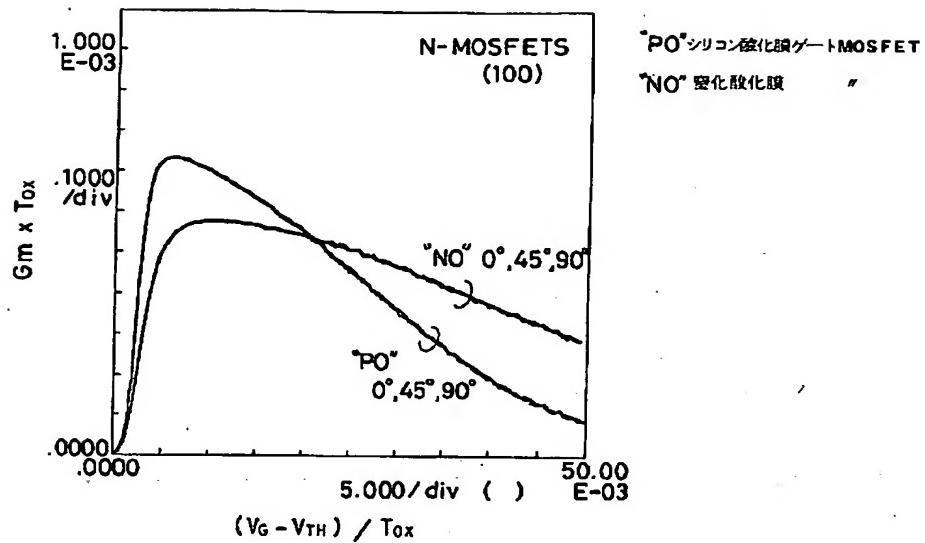
【図4.2】



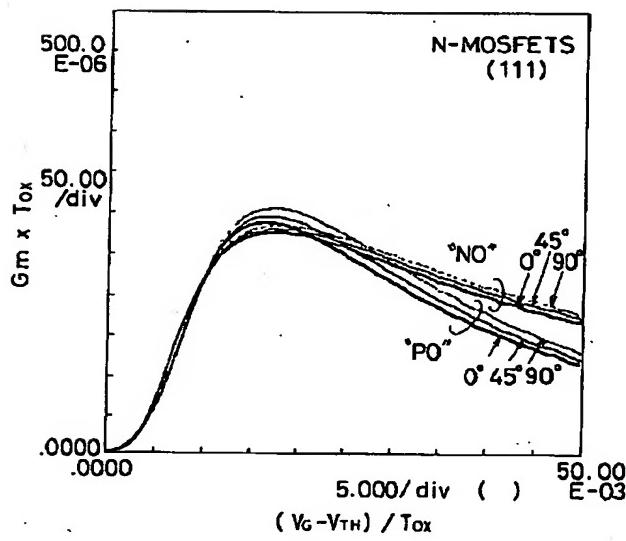
【図4.3】



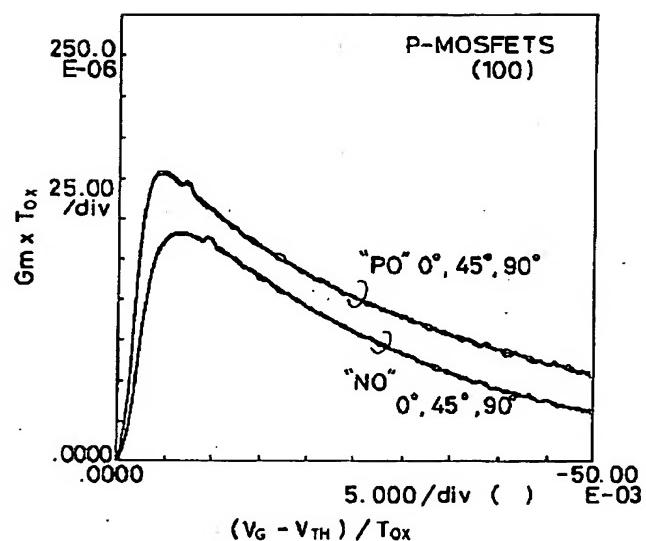
【図44】



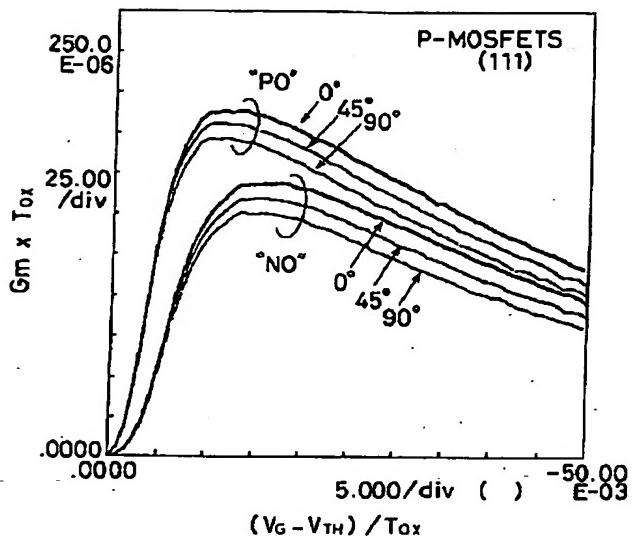
【図45】



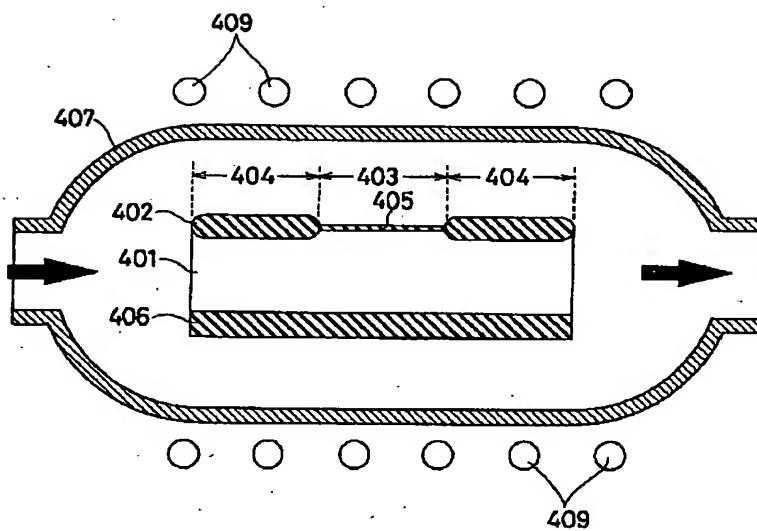
【図46】



【図47】



【図48】



フロントページの続き

(72)発明者 森本 豊太

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 小野 瑞城

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内